

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015585

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G09G 3/28

G09G 3/20

H04N 5/66

(21)Application number : 2001-194823

(71)Applicant : FUJITSU HITACHI PLASMA
DISPLAY LTD

(22)Date of filing : 27.06.2001

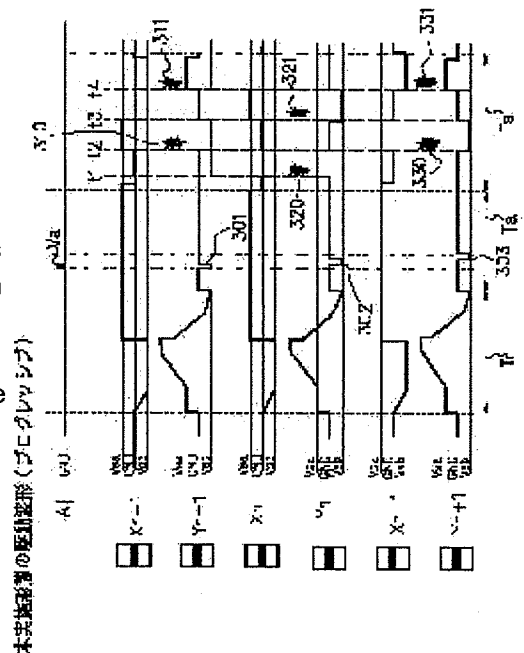
(72)Inventor : SETOGUCHI NORIAKI
KISHI TOMOKATSU

(54) PLASMA DISPLAY AND DRIVE DEVICE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a plasma display capable of performing constant sustenance discharge by reducing the effects of adjacent display cells.

SOLUTION: In this plasma display device, a plurality of first display electrodes and a plurality of second display electrodes are arranged in parallel with each other, and also a plurality of address electrodes are arranged, so as to interest the first and second display electrodes. When sustenance discharge is conducted between the first display electrode and the second display electrode, by applying an anode potential (V_{sa}) to the electrode of one side of the first and second display electrodes and by applying a cathode potential (V_{sb}) to the electrode of the other side of them, a potential (GND), which is lower than the anode potential and moreover higher than the cathode potential, is applied to the first and second display electrodes which are adjacent to the first and second display electrodes performing the sustenance discharge.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15585

(P2003-15585A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 2 2 B 5 C 0 5 8
3/20	6 2 2		6 2 4 M 5 C 0 8 0
	6 2 4		6 2 4 P
			6 4 2 C
	6 4 2	H 0 4 N 5/66	1 0 1 B
審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-194823 (P2001-194823)

(22) 出願日 平成13年6月27日 (2001.6.27)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(72) 発明者 瀬戸口 典明

宮崎県東諸県郡国富町田尻1815 九州エフ
エイチピー株式会社内

(72) 発明者 岸 智勝

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(74) 代理人 100090273

弁理士 國分 孝悦

最終頁に続く

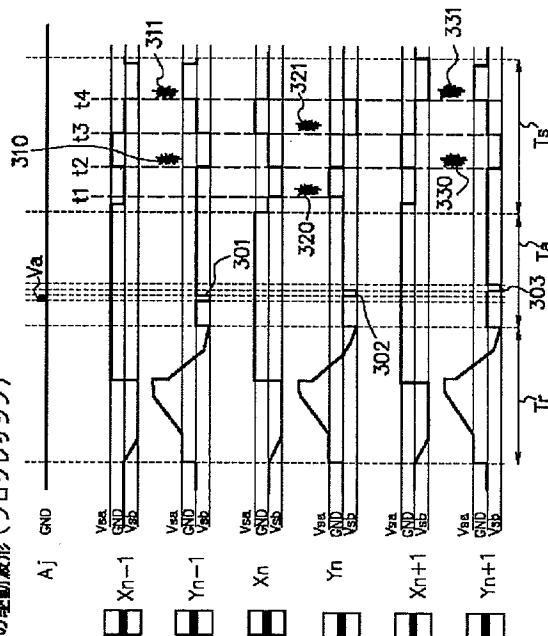
(54) 【発明の名称】 プラズマディスプレイ及びその駆動方法

(57) 【要約】

【課題】 隣接する表示セルの影響を少なくすることにより、安定した維持放電を行うことができるプラズマディスプレイを提供することを課題とする。

【解決手段】 本発明のプラズマディスプレイは、複数の第1の表示電極と複数の第2の表示電極とが互いに並行に配置されるとともに、複数のアドレス電極が前記第1及び第2の表示電極と交差するように配置される。第1及び第2の表示電極の一方に陽極電位 (V_{sa})、他方に陰極電位 (V_{sb}) を印加することにより該第1及び第2の表示電極の間で維持放電を行わせる際に、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位 (GND) を印加する。

本実施形態の駆動波形 (プロット)



【特許請求の範囲】

【請求項1】 複数の第1の表示電極と複数の第2の表示電極とが互いに並行に配置されるとともに、複数のアドレス電極が前記第1及び第2の表示電極と交差するように配置され、

前記第1及び第2の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第1及び第2の表示電極の間で維持放電を行わせる際に、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加するドライバを有するプラズマディスプレイ。

【請求項2】 前記ドライバは、前記維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位及び前記陰極電位の中間の電位を印加する請求項1記載のプラズマディスプレイ。

【請求項3】 前記ドライバは、アノードにスイッチを介して第1の電位に接続され、カソードにスイッチを介して前記第1の電位より低い第2の電位に接続される第1のダイオードと、一端に前記第1のダイオードのカソードが接続され、他端にスイッチを介して前記第2の電位に接続される第1のコンデンサと、アノードにスイッチを介して前記第1のダイオードのカソードが接続され、カソードに前記第1又は第2の表示電極が接続される第2のダイオードと、アノードに前記第1又は第2の表示電極が接続され、カソードにスイッチを介して前記第1のコンデンサの前記他端に接続される第3のダイオードとを含む請求項1記載のプラズマディスプレイ。

【請求項4】 前記ドライバは、前記第1及び第2の表示電極の組みの維持放電とそれに隣接する第1及び第2の表示電極の組みの維持放電とを交互に行う請求項1記載のプラズマディスプレイ。

【請求項5】 前記第1の表示電極及び前記第2の表示電極が交互に配置され、前記第1の表示電極はその両隣の前記第2の表示電極に対してそれぞれ維持放電が可能である請求項1記載のプラズマディスプレイ。

【請求項6】 複数の第1の表示電極と複数の第2の表示電極とが互いに並行に配置されるとともに、複数のアドレス電極が前記第1及び第2の表示電極と交差するように配置されたプラズマディスプレイの駆動方法であって、前記第1及び第2の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第1及び第2の表示電極の間で維持放電を行わせる際に、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加するステップを有するプラズマディスプレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ及びその駆動方法に関する。

【0002】

【従来の技術】図11は、プラズマディスプレイパネル装置の基本構成を示す図である。制御回路部1101は、アドレスドライバ1102、共通電極(X電極)サステイン回路1103、スキャン電極(Y電極)サステイン回路1104、及びスキャンドライバ1105の制御を行う。

【0003】アドレスドライバ1102は、アドレス電極A1、A2、A3、・・・に所定の電圧を供給する。以下、アドレス電極A1、A2、A3、・・・の各々を又はそれらの総称を、アドレス電極A_jといい、jは添え字を意味する。

【0004】スキャンドライバ1105は、制御回路部1101及びスキャン電極サステイン回路1104の制御に応じて、スキャン電極Y1、Y2、Y3、・・・に所定の電圧を供給する。以下、スキャン電極Y1、Y2、Y3、・・・の各々を又はそれらの総称を、スキャン電極Y_iといい、iは添え字を意味する。

【0005】共通電極サステイン回路1103は、共通電極X1、X2、X3、・・・にそれぞれ同一の電圧を供給する。以下、共通電極X1、X2、X3、・・・の各々を又はそれらの総称を、共通電極X_iといい、iは添え字を意味する。各共通電極X_iは相互接続され、同一の電圧レベルを有する。

【0006】表示領域1107では、スキャン電極Y_i及び共通電極X_iが水平方向に並列に延びる行を形成し、アドレス電極A_jが垂直方向に延びる列を形成する。スキャン電極Y_i及び共通電極X_iは、垂直方向に交互に配置される。リブ1106は、各アドレス電極A_j間に設けられるストライプリブ構造を有する。

【0007】スキャン電極Y_i及びアドレス電極A_jは、i行j列の2次元行列を形成する。表示セルC_{ij}は、スキャン電極Y_i及びアドレス電極A_jの交点並びにそれに対応して隣接する共通電極X_iにより形成される。この表示セルC_{ij}が画素に対応し、表示領域1107は2次元画像を表示することができる。

【0008】図12(A)は、図11の表示セルC_{ij}の断面構成を示す図である。共通電極X_i及びスキャン電極Y_iは、前面ガラス基板1211上に形成されている。その上には、放電空間1217に対し絶縁するための誘電体層1212が被着されるとともに、更にその上にMgO(酸化マグネシウム)保護膜1213が被着されている。

【0009】一方、アドレス電極A_jは、前面ガラス基板1211と対向して配置された背面ガラス基板1214上に形成され、その上には誘電体層1215が被着さ

れ、更にその上に蛍光体が被着されている。MgO保護膜1213と誘電体層1215との間の放電空間1217には、Ne+Xeベニングガス等が封入されている。

【0010】図12(B)は、交流駆動型プラズマディスプレイの容量Cpを説明するための図である。容量Caは、共通電極Xiとスキャン電極Yiとの間の放電空間1217の容量である。容量Cbは、共通電極Xiとスキャン電極Yiとの間の誘電体層1212の容量である。容量Ccは、共通電極Xiと走査電極Yiとの間の前面ガラス基板1211の容量である。これらの容量Ca、Cb、Ccの合計によって、電極Xi及びYi間の容量が決まる。

【0011】図12(C)は、交流駆動型プラズマディスプレイの発光を説明するための図である。リブ1216の内面には、赤、青、緑色の蛍光体1218がストライプ状に各色毎に配列、塗付されており、共通電極Xi及びスキャン電極Yiの間の放電によって蛍光体1218を励起して光1221が生成されるようになっている。

【0012】図13は、画像の1フレームFRの構成図である。画像は、例えば60フレーム/秒で形成される。1フレームFRは、第1のサブフレームSF1、第2のサブフレームSF2、・・・、第nのサブフレームSFnにより形成される。このnは、例えば10であり、階調ビット数に相当する。サブフレームSF1、SF2等の各々を又はそれらの総称を、以下、サブフレームSFという。

【0013】各サブフレームSFは、リセット期間Tr、アドレス期間Ta、及びサステイン期間（維持放電期間）Tsにより構成される。リセット期間Trでは、表示セルの初期化を行う。アドレス期間Taでは、アドレス指定により各表示セルの点灯又は非点灯を選択することができる。選択されたセルはサステイン期間Tsで発光を行う。各SFにおいて発光回数（時間）が異なる。これにより、階調値を決めることができる。

【0014】図14は、従来技術によるプログレッシブ方式のプラズマディスプレイのサステイン期間Tsにおける駆動方法を示す。時刻t1で、共通電極Xn-1、Xn、Xn+1に陽極電位Vs aを印加し、スキャン電極Yn-1、Yn、Yn+1に陰極電位Vs bを印加する。これにより、共通電極Xn-1とスキャン電極Yn-1の間、共通電極Xnとスキャン電極Ynの間、共通電極Xn+1とスキャン電極Yn+1の間に、それぞれ高電圧が印加されて維持放電1410が行われる。

【0015】次に、時刻t2で、共通電極Xn-1、Xn、Xn+1に陰極電位Vs bを印加し、スキャン電極Yn-1、Yn、Yn+1に陽極電位Vs aを印加する。これにより、共通電極Xn-1とスキャン電極Yn-1の間、共通電極Xnとスキャン電極Ynの間、共通電極Xn+1とスキャン電極Yn+1の間に、それぞれ

高電圧が印加されて維持放電1410が行われる。

【0016】次に、時刻t3では、時刻t1と同様の電位を印加することにより維持放電1410を行い、時刻t4では、時刻t3と同様の電位を印加することにより維持放電1410を行う。

【0017】図15は、従来技術によるALIS (Alternate Lighting of Surfaces) 方式のプラズマディスプレイのサステイン期間Tsにおける駆動方法を示す。時刻t1で、奇数行の共通電極Xn-1、Xn+1に陽極電位Vs aを印加し、奇数行のスキャン電極Yn-1、Yn+1に陰極電位Vs bを印加する。そして、偶数行の共通電極Xnに陰極電位Vs bを印加し、偶数行のスキャン電極Ynに陽極電位Vs aを印加する。これにより、共通電極Xn-1とスキャン電極Yn-1の間、共通電極Xnとスキャン電極Ynの間、共通電極Xn+1とスキャン電極Yn+1の間に、それぞれ高電圧が印加されて維持放電1510が行われる。

【0018】次に、時刻t2で、奇数行の共通電極Xn-1、Xn+1に陰極電位Vs bを印加し、奇数行のスキャン電極Yn-1、Yn+1に陽極電位Vs aを印加する。そして、偶数行の共通電極Xnに陽極電位Vs aを印加し、偶数行のスキャン電極Ynに陰極電位Vs bを印加する。これにより、共通電極Xn-1とスキャン電極Yn-1の間、共通電極Xnとスキャン電極Ynの間、共通電極Xn+1とスキャン電極Yn+1の間に、それぞれ高電圧が印加されて維持放電1510が行われる。

【0019】次に、時刻t3では、時刻t1と同様の電位を印加することにより維持放電1510を行い、時刻t4では、時刻t3と同様の電位を印加することにより維持放電1510を行う。

【0020】

【発明が解決しようとする課題】図16は、サステイン期間Tsにて余剰点灯する異常動作を示す。電極Xn、Ynの組みがアドレス指定され、電極Xn-1、Yn-1の組み及び電極Xn+1、Yn+1の組みがアドレス指定されない場合を示す。プラズマディスプレイが正常動作する場合、アドレス指定された電極Xn及びYnの間で放電される。その結果、電極Xn及びYnの表示セルが点灯し、電極Xn-1、Yn-1の表示セル及び電極Xn+1、Yn+1の表示セルが点灯しない。

【0021】しかし、リセット期間Tr（図13）での初期化不良等により表示セルが完全に初期化されないことがある。その結果、電極Yn-1又はXn+1に不要な壁電荷が残留してしまうことがある。これにより、電極Yn及びXn+1の間、又は電極Xn及びYn-1の間で誤って放電が起こってしまう。それに伴い、電極Xn+1及びYn+1の間、又は電極Xn+1及びYn+1の間で放電が起こり、不要な余剰点灯が起こってしまう。

【0022】図17は、サステイン期間 T_s にて点灯すべき表示セルが消灯してしまう異常動作を示す。電極 X_n , Y_n の組み、電極 X_{n-1} , Y_{n-1} の組み及び電極 X_{n+1} , Y_{n+1} の組みがアドレス指定されている場合を示す。プラズマディスプレイが正常動作する場合、電極 X_n , Y_n の表示セル、電極 X_{n-1} , Y_{n-1} の表示セル及び電極 X_{n+1} , Y_{n+1} の表示セルがすべて点灯する。

【0023】しかし、リセット期間 T_r (図13)での初期化不良等により表示セルが完全に初期化されないことがある。その結果、本来、電極 X_{n+1} , Y_{n+1} の間及び電極 X_{n-1} , Y_{n-1} の間で放電すべきであるが、誤って電極 X_{n+1} , Y_n の間及び電極 Y_{n-1} , X_n の間で放電されてしまうことがある。その結果、電極 X_{n+1} , Y_{n+1} の表示セル及び電極 X_{n-1} , Y_{n-1} の表示セルが消灯してしまう異常動作が生じる。

【0024】上記の問題点は、プラズマディスプレイの高精細化及び画素数の増加が進むにつれて隣接表示セルが接近し、放電の干渉の影響が大きくなり、顕著に生じる。また、図11にて、各アドレス電極 A_j 間にはリブ1106が設けられるが、図の垂直方向には隔壁が設けられないため、垂直方向の放電の干渉が起こりやすい。

【0025】一般的には、図16及び図17のように、維持放電する電極 X_n 及び Y_n の間のスリット間隔を小さくし、維持放電しない電極 Y_n 及び X_{n+1} (Y_{n-1} 及び X_n)の間のスリット間隔を大きくして放電を分離しているが、上述のように、高精細化が進むと、隣接表示セルの間の間隔を十分に確保できなくなる。

【0026】本発明の目的は、隣接する表示セルの影響を少なくすることにより、安定した維持放電を行うことができるプラズマディスプレイ及びその駆動方法を提供することである。

【0027】

【課題を解決するための手段】本発明の一観点によれば、複数の第1の表示電極と複数の第2の表示電極とが互いに並行に配置されるとともに、複数のアドレス電極が前記第1及び第2の表示電極と交差するように配置され、前記第1及び第2の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第1及び第2の表示電極の間で維持放電を行わせる際に、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加するドライバを有するプラズマディスプレイが提供される。

【0028】第1及び第2の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第1及び第2の表示電極の間で維持放電を行わせることができる。その際、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加することによ

り、維持放電を行う表示セルはそれに隣接する表示セルによる悪影響を防止することができる。

【0029】

【発明の実施の形態】図1は、本発明の実施形態によるプラズマディスプレイパネル装置の構成を示す図である。制御回路部101は、アドレスドライバ102、共通電極(X電極)サステイン回路103a, 103b、スキャン電極(Y電極)サステイン回路104a, 104b、及びスキンドライバ105a, 105bの制御を行う。

【0030】アドレスドライバ102は、アドレス電極 A_1 , A_2 , A_3 , ...に所定の電圧を供給する。以下、アドレス電極 A_1 , A_2 , A_3 , ...の各々を又はそれらの総称を、アドレス電極 A_j といい、 j は添え字を意味する。

【0031】第1のスキンドライバ105aは、制御回路部101及び第1のスキャン電極サステイン回路104aの制御に応じて、奇数行のスキャン電極(第1の表示電極) Y_1 , Y_3 , ...に所定の電圧を供給する。第2のスキンドライバ105bは、制御回路部101及び第2のスキャン電極サステイン回路104bの制御に応じて、偶数行のスキャン電極 Y_2 , Y_4 , ...に所定の電圧を供給する。以下、スキャン電極 Y_1 , Y_2 , Y_3 , ...の各々を又はそれらの総称を、スキャン電極 Y_i といい、 i は添え字を意味する。

【0032】第1の共通電極サステイン回路103aは、奇数行の共通電極(第2の表示電極) X_1 , X_3 , ...にそれぞれ同一の電圧を供給する。第2の共通電極サステイン回路103bは、偶数行の共通電極 X_2 , X_4 , ...にそれぞれ同一の電圧を供給する。以下、共通電極 X_1 , X_2 , X_3 , ...の各々を又はそれらの総称を、共通電極 X_i といい、 i は添え字を意味する。奇数行及び偶数行の共通電極 X_i はそれぞれ相互接続され、同一の電圧レベルを有する。

【0033】表示領域107では、スキャン電極 Y_i 及び共通電極 X_i が水平方向に並列に延びる行を形成し、アドレス電極 A_j が垂直方向に延びる列を形成する。スキャン電極 Y_i 及び共通電極 X_i は、垂直方向に交互に配置される。リブ106は、各アドレス電極 A_j 間に設けられるストライブリブ構造を有する。

【0034】スキャン電極 Y_i 及びアドレス電極 A_j は、 i 行 j 列の2次元行列を形成する。表示セル C_{ij} は、スキャン電極 Y_i 及びアドレス電極 A_j の交点並びにそれに対応して隣接する共通電極 X_i により形成される。この表示セル C_{ij} が画素に対応し、表示領域107は2次元画像を表示することができる。

【0035】表示セル C_{ij} の構成は、上記の図12と同じである。プラズマディスプレイが表示する画像のフレームは、上記の図13と同じである。

【0036】図2は、プログレッシブ方式のプラズマデ

10

20

30

40

50

ィスプレイの断面図である。ガラス基板201上には、共通電極 X_{n-1} 及びスキャン電極 Y_{n-1} の表示セル、共通電極 X_n 及びスキャン電極 Y_n の表示セル、共通電極 X_{n+1} 及びスキャン電極 Y_{n+1} の表示セルが形成される。各表示セルの間には、遮光体203が設けられる。絶縁層202は、遮光体203及び電極 X_i 、 Y_i を覆うように設けられる。

【0037】アドレス電極207の下には、絶縁層206及び蛍光体205が設けられる。放電空間204は、絶縁層202及び蛍光体205の間に設けられ、 $Ne + Xe$ ベニングガス等が封入されている。表示セルでの放電光は、蛍光体205に反射してガラス基板201を透過して表示される。

【0038】プログレッシブ方式では、表示セルを構成する対となる電極 X_{n-1} 、 Y_{n-1} の間隔、電極 X_n 、 Y_n の間隔、電極 X_{n+1} 、 Y_{n+1} の間隔が狭く、放電が可能である。そして、異なる表示セルにまたがる電極 Y_{n-1} 、 X_n の間隔、電極 Y_n 、 X_{n+1} の間隔が広く、放電を行わない。

【0039】プログレッシブ方式のより詳細な技術は、特開平10-207420 (FR2758641、US SN/887371) の技術を参考に実施可能である。

【0040】図3は、プログレッシブ方式のプラズマディスプレイの駆動方法を示すタイミングチャートである。

【0041】まず、リセット期間 T_r では、各スキャン電極 Y_i 及び共通電極 X_i 間に所定の電圧を印加して電荷の全面書き込み及び全面消去を行い、前回の表示内容を消去して所定の壁電荷を形成する。

【0042】次に、アドレス期間 T_a では、アドレス電極 A_j に正電位 V_a のバースを印加し、所望のスキャン電極 Y_{n-1} 、 Y_n 、 Y_{n+1} 等に、順次スキャンで、陰極電位 V_{sb} のバース301、302、303を印加する。これらバース301~303により、アドレス電極 A_j とスキャン電極 Y_{n-1} 、 Y_n 、 Y_{n+1} との間でアドレス放電が行われ、表示セルのアドレス指定がなされる。

【0043】次に、サステイン期間(維持放電期間) T_s では、各共通電極 X_i と各スキャン電極 Y_i との間に逆相の電圧を印加することにより、アドレス期間 T_a でアドレス指定した表示セルに対応する共通電極 X_i とスキャン電極 Y_i との間で維持放電を行い、発光する。

【0044】具体的には、時刻 t_1 で、偶数行の共通電極 X_n に陰極電位 V_{sb} を印加し、偶数行のスキャン電極 Y_n に陽極電位 V_{sa} を印加する。これにより、共通電極 X_n とスキャン電極 Y_n の間に高電圧が印加されて維持放電320が行われる。この際、維持放電を行う偶数行の電極 X_n 、 Y_n に隣接する奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に、電位 V_{sc} (例えばグラウンド(GND))を印加する。電位 V_{sc} は、

陽極電位 V_{sa} 及び陰極電位 V_{sb} の中間電位($(V_{sa} + V_{sb}) / 2$)である。なお、電位 V_{sc} は、陽極電位 V_{sa} よりも低くかつ陰極電位 V_{sb} よりも高い電位であればよい。これにより、電極 X_n 、 Y_n は、隣接表示セルの悪影響を受けることなく、安定した維持放電320を行うことができる。

【0045】次に、時刻 t_2 で、奇数行の共通電極 X_{n-1} 、 X_{n+1} に陽極電位 V_{sa} を印加し、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} に陰極電位 V_{sb} を印加する。これにより、電極 X_{n-1} 、 Y_{n-1} の間及び電極 X_{n+1} 、 Y_{n+1} の間にそれぞれ高電圧が印加されて維持放電310、330が行われる。この際、維持放電を行う奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に隣接する偶数行の電極 X_n 、 Y_n に、電位 V_{sc} (GND)を印加する。これにより、電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} は、隣接表示セルの悪影響を受けることなく、安定した維持放電310、330を行うことができる。

【0046】次に、時刻 t_3 で、図4及び図6に示すように、偶数行の共通電極 X_n に陽極電位 V_{sa} を印加し、偶数行のスキャン電極 Y_n に陰極電位 V_{sb} を印加することにより、共通電極 X_n とスキャン電極 Y_n の間に高電圧が印加されて維持放電321が行われる。この際、維持放電を行う偶数行の電極 X_n 、 Y_n に隣接する奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に、電位 V_{sc} (GND)を印加することにより、電極 X_n 、 Y_n は、隣接表示セルの悪影響を受けることなく、安定した維持放電321を行うことができる。

【0047】次に、時刻 t_4 で、奇数行の共通電極 X_{n-1} 、 X_{n+1} に陰極電位 V_{sb} を印加し、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} に陽極電位 V_{sa} を印加することにより、電極 X_{n-1} 、 Y_{n-1} の間及び電極 X_{n+1} 、 Y_{n+1} の間にそれぞれ高電圧が印加されて維持放電311、331が行われる。この際、維持放電を行う奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に隣接する偶数行の電極 X_n 、 Y_n に、電位 V_{sc} を印加することにより、電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} は、隣接表示セルの悪影響を受けることなく、安定した維持放電311、331を行うことができる。

【0048】以後、時刻 $t_1 \sim t_4$ の動作を繰り返し行えばよい。本実施形態では、偶数行の電極 X_n 、 Y_n の維持放電と奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} の維持放電とを交互に行う。なお、上記の偶数行と奇数行は逆であってもよい。

【0049】図6は、図3の時刻 t_3 における状態を示す。電極 X_n 、 Y_n の組みがアドレス指定され、電極 X_{n-1} 、 Y_{n-1} の組み及び電極 X_{n+1} 、 Y_{n+1} の組みがアドレス指定されない場合を例に説明する。従来は、図16に示したように、電極 X_n 及び Y_n の表示セ

ルが点灯するのみならず、電極 X_{n-1} 、 Y_{n-1} の表示セル及び電極 X_{n+1} 、 Y_{n+1} の表示セルが点灯してしまう誤動作が生じることがあった。

【0050】本実施形態によれば、偶数行の電極 X_n 及び Y_n にそれぞれ陽極電位 V_{sa} 及び陰極電位 V_{sb} を印加し、奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に電位 V_{sc} を印加する。これにより、偶数行の表示セルは、それに隣接する奇数行の表示セルの悪影響を受けずに、維持放電を行うことができる。すなわち、奇数行の電極 Y_{n-1} 、 X_{n+1} 等は中間電位 V_{sc} であるので、電極 X_n と Y_{n-1} との間及び電極 Y_n と X_{n+1} との間での余剰放電を防止できる。

【0051】仮に、電極 X_{n+1} を陽極電位 V_{sa} にすると、図16に示すように、電極 Y_n と X_{n+1} の間で余剰放電を起こしてしまう。また、仮に、電極 X_{n+1} を陰極電位 V_{sb} にすると、電極 Y_n 及び X_{n+1} が同一の電極とみなされて、維持放電が電極 X_n 、 Y_n 、 X_{n+1} の間で行われてしまうことになる。

【0052】次に、電極 X_n 、 Y_n の組み、電極 X_{n-1} 、 Y_{n-1} の組み及び電極 X_{n+1} 、 Y_{n+1} の組みがアドレス指定されている場合を説明する。従来は、図17に示したように、誤って電極 X_{n-1} 、 Y_{n-1} の表示セル及び電極 X_{n+1} 、 Y_{n+1} の表示セルが消灯してしまうことがあった。本実施形態によれば、奇数行の共通電極 X_{n-1} 、 X_{n+1} 及びスキャン電極 Y_{n-1} 、 Y_{n+1} にそれぞれ陽極電位 V_{sa} 及び V_{sb} を印加する際には偶数行の電極 X_n 、 Y_n に中間電位 V_{sc} を印加するので、奇数行及び偶数行の表示セルをそれぞれ安定して点灯させることができる。

【0053】本実施形態では、隣接する表示セルの悪影響を受けずに、安定して表示セルの維持放電を行うことができるので、プラズマディスプレイの高精細化及び画素数の増加を図ることができる。この場合、隣接表示セルが接近するが、安定した維持放電が可能である。

【0054】図4は、図3のサステイン期間 T_s の他の波形を示す。時刻 t_1 、 t_2 、 t_3 、 t_4 は、それぞれ図3の時刻 t_3 、 t_4 、 t_1 、 t_2 に相当する。すなわち、図3の時刻 t_3 から開始してもよく、時刻 $t_1 \sim t_4$ を繰り返して行えばよい。この場合も、偶数行の電極 X_n 、 Y_n の維持放電420、421と奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} の維持放電410、411を交互に行う。

【0055】図5は、図3のサステイン期間 T_s のさらに他の波形を示す。時刻 t_1 で、偶数行の共通電極 X_n に陽極電位 V_{sa} を印加し、偶数行のスキャン電極 Y_n に陰極電位 V_{sb} を印加することにより、共通電極 X_n とスキャン電極 Y_n の間に高電圧が印加されて維持放電520が行われる。この際、奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に中間電位 V_{sc} を印加することにより、電極 X_n 、 Y_n は、隣接表示セルの悪影

響を受けることなく、安定した維持放電520を行うことができる。

【0056】次に、時刻 t_2 で、偶数行の共通電極 X_n に陰極電位 V_{sb} を印加し、偶数行のスキャン電極 Y_n に陽極電位 V_{sa} を印加することにより、共通電極 X_n とスキャン電極 Y_n の間に高電圧が印加されて維持放電521が行われる。この際、奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} に中間電位 V_{sc} を印加することにより、電極 X_n 、 Y_n は、隣接表示セルの悪影響を受けることなく、安定した維持放電521を行うことができる。

【0057】次に、時刻 t_3 で、奇数行の共通電極 X_{n-1} 、 X_{n+1} に陰極電位 V_{sb} を印加し、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} に陽極電位 V_{sa} を印加することにより、電極 X_{n-1} 、 Y_{n-1} の間及び電極 X_{n+1} 、 Y_{n+1} の間にそれぞれ高電圧が印加されて維持放電510が行われる。この際、偶数行の電極 X_n 、 Y_n に中間電位 V_{sc} を印加することにより、電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} は、隣接表示セルの悪影響を受けることなく、安定した維持放電510を行うことができる。

【0058】次に、時刻 t_4 で、奇数行の共通電極 X_{n-1} 、 X_{n+1} に陽極電位 V_{sa} を印加し、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} に陰極電位 V_{sb} を印加することにより、電極 X_{n-1} 、 Y_{n-1} の間及び電極 X_{n+1} 、 Y_{n+1} の間にそれぞれ高電圧が印加されて維持放電511が行われる。この際、偶数行の電極 X_n 、 Y_n に中間電位 V_{sc} を印加することにより、電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} は、隣接表示セルの悪影響を受けることなく、安定した維持放電511を行うことができる。

【0059】以後、時刻 $t_1 \sim t_4$ の動作を繰り返す。この場合、偶数行の電極 X_n 、 Y_n で2回の維持放電520、521を連続して行い、その後、奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} で2回の維持放電510、511を連続して行う。なお、偶数行の電極 X_n 、 Y_n で必要なすべての維持放電を行った後、奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} で必要なすべての維持放電を行ってもよい。

【0060】図7は、ALIS方式のプラズマディスプレイの断面図である。この構成は、図2のプロGRESS方式のプラズマディスプレイの構成と基本的に同じである。ただし、ALIS方式では、すべての電極 X_{n-1} 、 Y_{n-1} 、 X_n 、 Y_n 、 X_{n+1} 、 Y_{n+1} の間の間隔が同じであり、遮光体203が存在しない。電極 X_{n-1} と Y_{n-1} の間、電極 X_n と Y_n の間及び電極 X_{n+1} と Y_{n+1} の間をそれぞれ第1のスリットとし、電極 Y_{n-1} と X_n の間及び電極 Y_n と X_{n+1} の間を第2のスリットとする。ALIS方式では、図13の第1回目のフレームFRで第1のスリットでの維持放電を

行い、それに続く第2回目のフレームFRで第2のスリットでの維持放電を行う。ALIS方式は、プログレッシブ方式に比べ、表示ライン(行)数が2倍になり、高精細化を実現できる。ALIS方式のより詳細な技術は、特開平09-160525(EP0762373、US SN/690038)の技術を参考に実施可能である。

【0061】図8は、ALIS方式のプラズマディスプレイの駆動方法を示すタイミングチャートである。リセット期間 T_r は、図3と同じである。アドレス期間 T_a は、前半アドレス期間 T_{a1} 及び後半アドレス期間 T_{a2} に分割される。前半アドレス期間 T_{a1} は、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} を順次スキャンでアドレス指定するための期間である。後半アドレス期間 T_{a2} は、偶数行のスキャン電極 Y_n を順次スキャンでアドレス指定するための期間である。

【0062】すなわち、前半アドレス期間 T_{a1} では、アドレス電極 A_j に正電位 V_a のパルス印加し、奇数行のスキャン電極 Y_{n-1} 、 Y_{n+1} 等に、順次スキャンで陰極電位 V_{sb} のパルス801、802等を印加する。

【0063】後半アドレス期間 T_{a2} では、アドレス電極 A_j に正電位 V_a のパルス印加し、偶数行のスキャン電極 Y_n 等に、順次スキャンで陰極電位 V_{sb} のパルス803等を印加する。

【0064】次に、サステイン期間 T_s での動作を行う。サステイン期間 T_s は、図3と同じである。この場合も、偶数行の電極 X_n 、 Y_n の維持放電820、821と奇数行の電極 X_{n-1} 、 Y_{n-1} 、 X_{n+1} 、 Y_{n+1} の維持放電810、811を交互に行うことができる。

【0065】上記の処理は、第1のフレームの処理である。第1のフレームでは、第1のスリットでの維持放電を行う。第2のフレームの処理は、第1のフレームに続く処理であり、第2のスリットでの維持放電を行う。第2のフレームの処理は、図8のサステイン期間 T_s での偶数行の共通電極 X_n 等と奇数行の共通電極 X_{n-1} 、 X_{n+1} 等の波形を入れ替えればよい。すなわち、図1の第1の共通電極サステイン回路103aと第2の共通電極サステイン回路103bの処理を入れ替えればよい。なお、共通電極の波形の代わりに、スキャン電極の波形を入れ替えてもよい。

【0066】ALIS方式では、図7に示すように、第1のスリット及び第2のスリットの間隔が同じであるので、図16及び図17に示した誤動作が生じやすい。本実施形態によれば、ALIS方式でも、各表示セルは、隣接表示セルを悪影響を受けずに、安定した維持放電を行うことができる。

【0067】図9は、共通電極サステイン回路910及びスキャン電極サステイン回路960の構成を示す。共

通電極サステイン回路910は、図1の共通電極サステイン回路103a及び103bに相当し、共通電極951に接続される。スキャン電極サステイン回路960は、図1のスキャン電極サステイン回路104a及び104bに相当し、スキャン電極952に接続される。コンデンサ950は、共通電極951とスキャン電極952とその間の絶縁体により構成される。

【0068】共通電極サステイン回路910は、TERES (Technology of Reciprocal Sustainer) 回路920及び電力回収回路930を有する。

【0069】まず、TERES回路920の構成を説明する。ダイオード922は、アノードがスイッチ921を介して第1の電位(例えば $V_s/2$ [V])に接続され、カソードがスイッチ923を介して上記第1の電位より低い第2の電位(例えばグランド)に接続される。コンデンサ924は、一端がダイオード922のカソードが接続され、他端がスイッチ925を介して第2の電位に接続される。ダイオード936は、アノードがスイッチ935を介してダイオード922のカソードに接続され、カソードが共通電極951に接続される。ダイオード937は、アノードが共通電極951に接続され、カソードがスイッチ938を介してコンデンサ924の上記他端に接続される。

【0070】次に、電力回収回路930がない場合のTERES回路920の動作を説明する。図4の共通電極 X_n を例に説明する。時刻 t_1 では、スイッチ921、925、935を閉じ、スイッチ923、938を開く。すると、 $V_s/2$ の電位がスイッチ921、935を介して共通電極951に印加される。陽極電位 V_{sa} は、例えば $V_s/2$ [V]である。また、コンデンサ924は、図の上側の電極(以下、上端という)が $V_s/2$ 、図の下側の電極(以下、下端という)がグランドに接続され、充電される。

【0071】次に、時刻 t_2 では、スイッチ925、938を閉じ、スイッチ923、935を開く。すると、グランド電位は、スイッチ925、938を介して共通電極951に印加される。中間電位 V_{sc} は、例えばグランドである。

【0072】次に、時刻 t_3 では、スイッチ923、938を閉じ、スイッチ921、925、935を開く。すると、コンデンサ924は、上端がグランドになり、下端が $-V_s/2$ になる。その $-V_s/2$ の陰極電位は、スイッチ938を介して共通電極951に印加される。陰極電位 V_{sb} は、例えば $-V_s/2$ [V]である。

【0073】次に、時刻 t_4 では、スイッチ923、935を閉じ、スイッチ921、925、938を開く。すると、グランド電位は、スイッチ923、935を介して共通電極951に印加される。以後、時刻 $t_1 \sim t_4$ を繰り返せばよい。

【0074】以上のように、TERES回路920を用いることにより、中間電位 V_{sc} を生成するための特別な回路を必要とせず、簡単な回路構成で陽極電位 V_{sa} 、陰極電位 V_{sb} 及び中間電位 V_{sc} を生成することができる。

【0075】次に、電力回収回路930の構成を説明する。コンデンサ931は、下端がコンデンサ924の下端に接続される。ダイオード933は、アノードがスイッチ932を介してコンデンサ931の上端に接続され、カソードがコイル934を介してダイオード936 10のアノードに接続される。ダイオード940は、アノードがコイル939を介してダイオード937のカソードが接続され、カソードがスイッチ941を介してコンデンサ931の上端に接続される。

【0076】次に、電力回収回路930の動作を、図10を参照しながら説明する。まず、電位1003を生成するため、スイッチ921、935を閉じ、その他のスイッチを開く。すると、 $V_s/2$ の電位がスイッチ921、935を介して共通電極951に印加される。陽極電位 V_{sa} は、例えば $V_s/2$ [V]である。

【0077】次に、電位1004を生成するため、スイッチ925、941を閉じ、その他のスイッチを開く。すると、共通電極951上の電荷は、コイル939を介してコンデンサ931の上端に供給される。コンデンサ931の下端は、スイッチ925を介して第2の電位 (GND) に接続される。コイル939及びコンデンサ931のLC共振により、コンデンサ931が充電されて電力が回収され、電位1004に下がる。また、ダイオード940及び937により、電位1004は共振が除去され、コイル939により電位1004を安定させることができる。

【0078】次に、電位1005を生成するため、スイッチ925、938を閉じ、その他のスイッチを開く。すると、共通電極951の電位1005はグラウンドになる。電位1001は、電位1005と同じである。

【0079】次に、電位1002を生成するため、スイッチ925、932を閉じ、その他のスイッチを開く。共通電極951には、コンデンサ931に充電されている電荷がコイル934及びダイオード933、936を介して供給される。その結果、電位1002に上昇して安定する。

【0080】次に、電位1003を生成するため、スイッチ921、935を閉じ、その他のスイッチを開く。すると、共通電極951の電位1003は $V_s/2$ に上昇する。

【0081】以上の動作を周期的に繰り返すことにより、サステイン期間 T_s の波形を生成することができる。また、スキャン電極サステイン回路960の構成も、共通電極サステイン回路910と同様である。電力回収回路930を用いることにより、エネルギー効率を 50

向上させ、消費電力を下げるができる。電力回収回路930の性質上、電位1002はグラウンドより少し高くなり、電位1004はグラウンドより少し低くなるが、電位1002及び1004は同じである必要はなく、両者とも陽極電位 V_{sa} より低くかつ陰極電位 V_{sb} よりも高ければよい。

【0082】以上のように、本実施形態によれば、共通電極(Xn)及びスキャン電極(Yn)の一方に陽極電位 V_{sa} 、他方に陰極電位 V_{sb} を印加することにより該共通電極(Xn)及びスキャン電極(Yn)の間で維持放電を行わせることができる。その際、該維持放電を行う共通電極(Xn)及びスキャン電極(Yn)に隣接する共通電極(X_{n-1} , X_{n+1})及びスキャン電極(Y_{n-1} , Y_{n+1})に陽極電位 V_{sa} よりも低くかつ陰極電位 V_{sb} よりも高い電位 V_{sc} を印加することにより、維持放電を行う表示セルはそれに隣接する表示セルによる悪影響を防止することができる。

【0083】上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0084】本発明の実施形態は、例えば以下のように種々の適用が可能である。

(付記1) 複数の第1の表示電極と複数の第2の表示電極とが互いに並行に配置されるとともに、複数のアドレス電極が前記第1及び第2の表示電極と交差するように配置され、前記第1及び第2の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第1及び第2の表示電極の間で維持放電を行わせる際に、該維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加するドライバを有するプラズマディスプレイ。

(付記2) 前記ドライバは、前記維持放電を行う第1及び第2の表示電極に隣接する第1及び第2の表示電極に前記陽極電位及び前記陰極電位の中間の電位を印加する付記1記載のプラズマディスプレイ。

(付記3) 前記ドライバは、アノードにスイッチを介して第1の電位に接続され、カソードにスイッチを介して前記第1の電位より低い第2の電位に接続される第1のダイオードと、一端に前記第1のダイオードのカソードが接続され、他端にスイッチを介して前記第2の電位に接続される第1のコンデンサと、アノードにスイッチを介して前記第1のダイオードのカソードが接続され、カソードに前記第1又は第2の表示電極が接続される第2のダイオードと、アノードに前記第1又は第2の表示電極が接続され、カソードにスイッチを介して前記第1のコンデンサの前記他端に接続される第3のダイオードと

を含む付記 1 記載のプラズマディスプレイ。

(付記 4) 前記ドライバは、前記第 1 及び第 2 の表示電極の組みの維持放電とそれに隣接する第 1 及び第 2 の表示電極の組みの維持放電とを交互に行う付記 1 記載のプラズマディスプレイ。

(付記 5) 前記第 1 の表示電極及び前記第 2 の表示電極が交互に配置され、前記第 1 の表示電極はその両隣の前記第 2 の表示電極に対してそれぞれ維持放電が可能である付記 1 記載のプラズマディスプレイ。

(付記 6) 前記ドライバは、前記維持放電を行う第 1 及び第 2 の表示電極に隣接する第 1 及び第 2 の表示電極に前記陽極電位及び前記陰極電位の中間の電位を印加する付記 3 記載のプラズマディスプレイ。

(付記 7) 前記ドライバは、前記第 1 の表示電極に接続される第 1 のドライバ及び前記第 2 の表示電極に接続される第 2 のドライバを有し、前記第 1 及び第 2 のドライバは、それぞれ、アノードにスイッチを介して第 1 の電位に接続され、カソードにスイッチを介して前記第 1 の電位より低い第 2 の電位に接続される第 1 のダイオードと、一端に前記第 1 のダイオードのカソードが接続され、他端にスイッチを介して前記第 2 の電位に接続される第 1 のコンデンサと、アノードにスイッチを介して前記第 1 のダイオードのカソードが接続され、カソードに前記第 1 又は第 2 の表示電極が接続される第 2 のダイオードと、アノードに前記第 1 又は第 2 の表示電極が接続され、カソードにスイッチを介して前記第 1 のコンデンサの前記他端に接続される第 3 のダイオードとを含む付記 3 記載のプラズマディスプレイ。

(付記 8) 前記ドライバは、コイル及びコンデンサを含む電力回収回路を有する付記 1 記載のプラズマディスプレイ。

(付記 9) 前記ドライバは、コイル及びコンデンサを含む電力回収回路を有する付記 3 記載のプラズマディスプレイ。

(付記 10) 前記電力回収回路は、一端に前記第 1 のコンデンサの他端が接続される第 2 のコンデンサと、アノードにスイッチを介して前記第 2 のコンデンサの他端が接続され、カソードにコイルを介して前記第 2 のダイオードのアノードに接続される第 4 のダイオードと、アノードにコイルを介して前記第 3 のダイオードのカソードが接続され、カソードにスイッチを介して前記第 2 のコンデンサの他端が接続される第 5 のダイオードとを有する付記 9 記載のプラズマディスプレイ。

(付記 11) 前記ドライバは、前記維持放電を行うための維持放電期間の前に、前記表示セルの初期化を行うためのリセット期間及び前記点灯セルの選択を行うためのアドレス期間を有する付記 1 記載のプラズマディスプレイ。

(付記 12) 前記ドライバは、前記維持放電を行う第 1 及び第 2 の表示電極の一方に隣接する第 1 及び第 2 の表

示電極並びに他方に隣接する第 1 及び第 2 の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加する付記 1 記載のプラズマディスプレイ。

(付記 13) 前記第 1 の表示電極及び前記第 2 の表示電極が交互に配置され、前記第 1 の表示電極はその一方の隣の前記第 2 の表示電極に対してのみ維持放電が可能である付記 1 記載のプラズマディスプレイ。

(付記 14) 前記第 1 の表示電極は、その一方の隣の前記第 2 の表示電極との間の間隔とその他方の隣の前記第 2 の表示電極との間の間隔とが異なる付記 13 記載のプラズマディスプレイ。

(付記 15) 前記第 1 の表示電極は、その一方の隣の前記第 2 の表示電極との間の間隔とその他方の隣の前記第 2 の表示電極との間の間隔とが同じである付記 5 記載のプラズマディスプレイ。

(付記 16) 複数の第 1 の表示電極と複数の第 2 の表示電極とが互いに並行に配置されるときに、複数のアドレス電極が前記第 1 及び第 2 の表示電極と交差するように配置されたプラズマディスプレイの駆動方法であって、前記第 1 及び第 2 の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第 1 及び第 2 の表示電極の間で維持放電を行わせる際に、該維持放電を行う第 1 及び第 2 の表示電極に隣接する第 1 及び第 2 の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加するステップを有するプラズマディスプレイの駆動方法。

【0085】

【発明の効果】以上説明したように本発明によれば、第 1 及び第 2 の表示電極の一方に陽極電位、他方に陰極電位を印加することにより該第 1 及び第 2 の表示電極の間で維持放電を行わせることができる。その際、該維持放電を行う第 1 及び第 2 の表示電極に隣接する第 1 及び第 2 の表示電極に前記陽極電位よりも低くかつ前記陰極電位よりも高い電位を印加することにより、維持放電を行う表示セルはそれに隣接する表示セルによる悪影響を防止することができる。

【図面の簡単な説明】

【図 1】本発明の実施形態によるプラズマディスプレイ装置の構成図である。

【図 2】プログレッシブ方式のプラズマディスプレイの断面図である。

【図 3】プログレッシブ方式のプラズマディスプレイの駆動方法を示すタイミングチャートである。

【図 4】サステイン期間の波形を示すタイミングチャートである。

【図 5】サステイン期間の他の波形を示すタイミングチャートである。

【図 6】本実施形態によるサステイン期間の状態を示す図である。

【図 7】ALIS 方式のプラズマディスプレイの断面図

である。

【図8】ALIS方式のプラズマディスプレイの駆動方法を示すタイミングチャートである。

【図9】共通電極サステイン回路及びスキャン電極サステイン回路の回路図である。

【図10】電極回収回路を用いた維持放電波形を示す図である。

【図11】プラズマディスプレイ装置の構成図である。

【図12】図12(A)～(C)はプラズマディスプレイの表示セルの断面図である。

【図13】画像のフレーム構成図である。

【図14】従来技術によるプログレッシブ方式のプラズマディスプレイのサステイン期間の波形を示す図である。

【図15】従来技術によるALIS方式のプラズマディスプレイのサステイン期間の波形を示す図である。

【図16】従来技術による余剰点灯の誤動作の状態を示す図である。

【図17】従来技術による消灯の誤動作の状態を示す図である。

【符号の説明】

101 制御回路部

102 アドレスドライバ

103a 第1の共通電極サステイン回路

103b 第2の共通電極サステイン回路

104a 第1のスキャン電極サステイン回路

104b 第2のスキャン電極サステイン回路

105a 第1のスキンドライバ

*105b 第1のスキンドライバ

106 リブ

107 表示領域

201 ガラス基板

202 絶縁層

203 遮光体

204 放電空間

205 蛍光体

206 絶縁層

10 207 アドレス電極

1101 制御回路部

1102 アドレスドライバ

1103 共通電極サステイン回路

1104 スキャン電極サステイン回路

1105 スキンドライバ

1106 リブ

1107 表示領域

1211 前面ガラス基板

1212 誘電体層

20 1213 MgO保護膜

1214 背面ガラス基板

1215 誘電体層

1216 リブ

1217 放電空間

1221 光

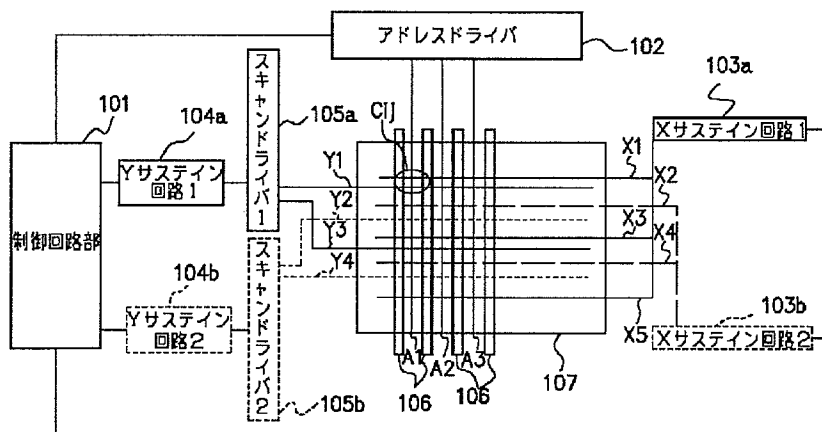
Tr リセット期間

Ta アドレス期間

* Ts サステイン期間

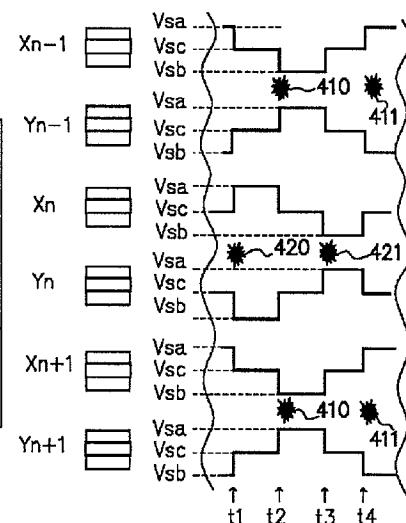
【図1】

本実施形態のプラズマディスプレイ装置の構成



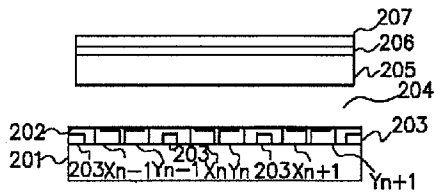
【図4】

本実施形態の駆動波形図



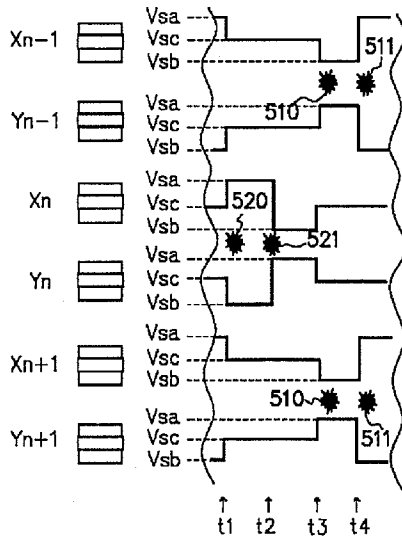
【図2】

プログレッシブ方式



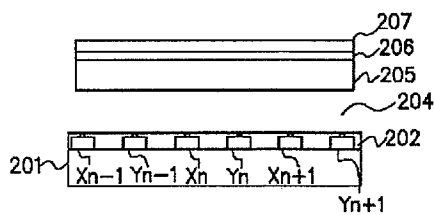
【図5】

本実施形態の駆動波形図2



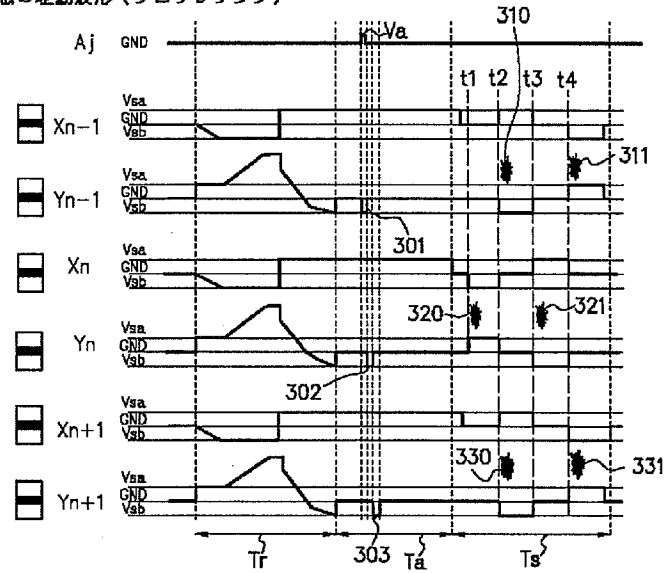
【図7】

ALIS方式



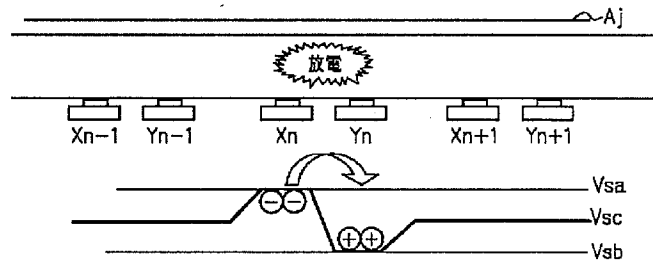
【図3】

本実施形態の駆動波形(プログレッシブ)

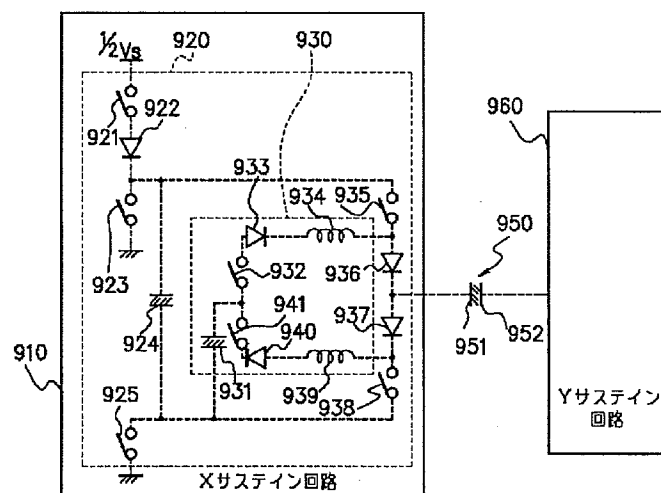


【図6】

本実施形態のサステイン期間

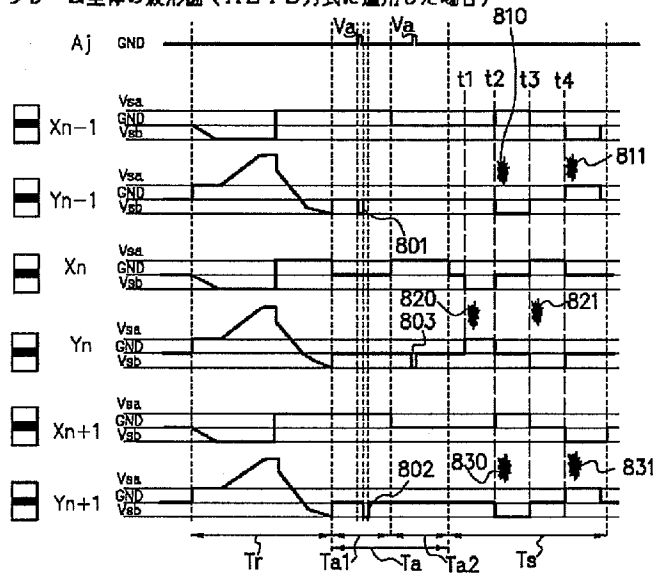


【図9】

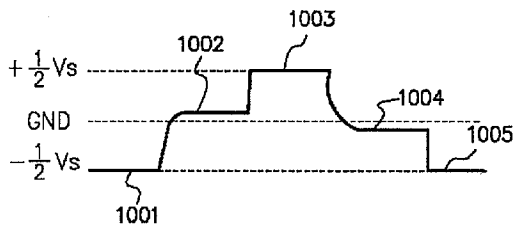


【図8】

本実施形態のサブフレーム全体の波形図（ALIS方式に適用した場合）

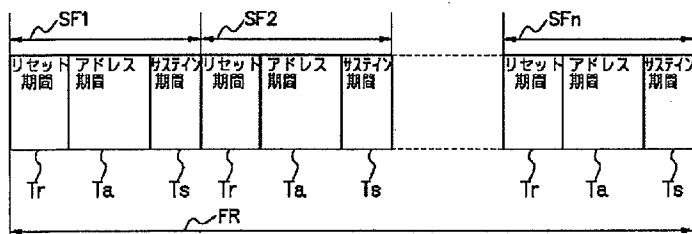


【図10】



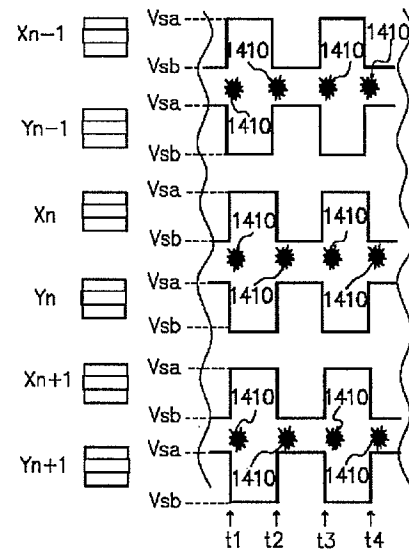
【図13】

フレーム構成図



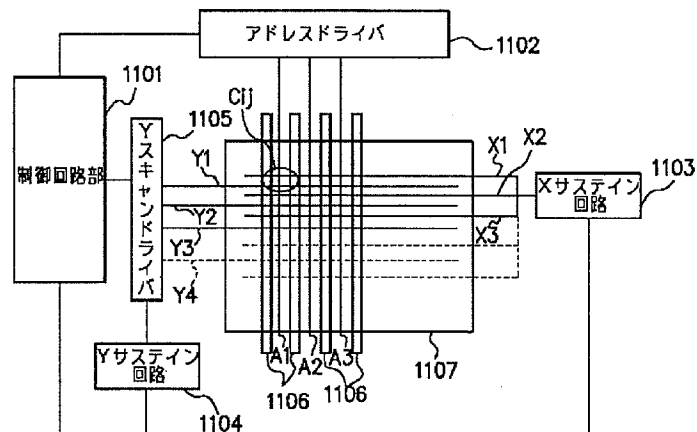
【図14】

従来技術（プログレッシブ方式）

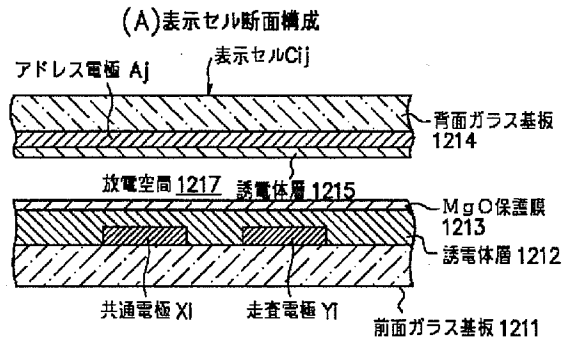


【図11】

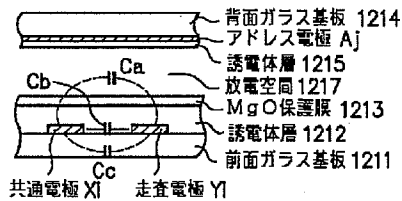
プラズマディスプレイ装置の基本構成



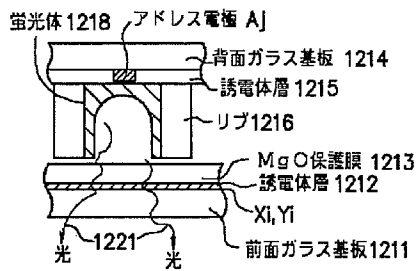
【図12】



(B)容量Cpsellを示す図

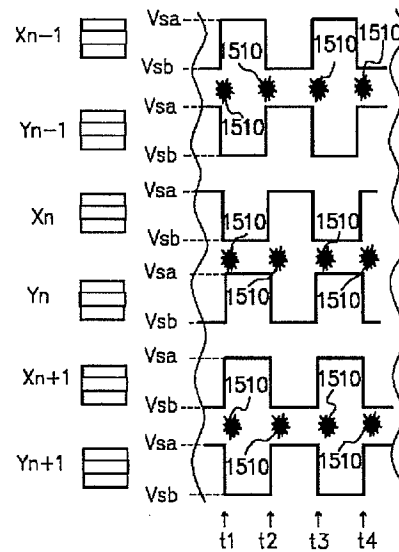


(C)



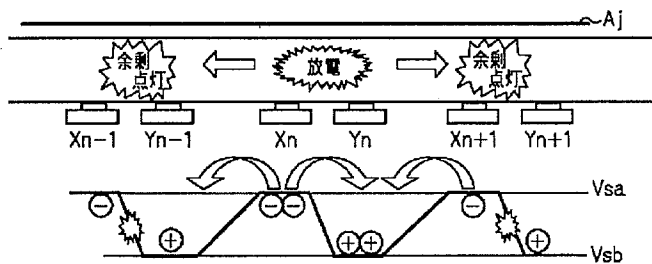
【図15】

従来技術 (ALIS方式)



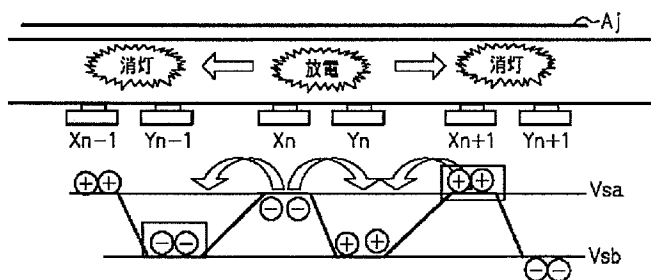
【図16】

従来技術 (余剰点灯の場合)



【図17】

従来技術（全点灯が消灯となる場合）



フロントページの続き

(51)Int.Cl.⁷

H04N 5/66

識別記号

101

FI

G09G 3/28

ターマード (参考)

E

H

Fターム (参考) 5C058 AA11 BA02 BA35 BB03

5C080 AA05 BB05 DD03 FF12 HH04

HH05 JJ02 JJ03 JJ04 JJ06